

基于 PDSOI 工艺的抗 SET 锁相环设计

吕荫学, 刘梦新, 罗家俊, 叶甜春

(中国科学院微电子研究所, 北京 100029)

摘 要: 基于 $0.35\mu\text{m}$ PDSOI 工艺设计了一款输出频率范围为 700MHz – 1.0GHz 的锁相环电路, 利用 Sentaurus TCAD 工具对其进行单粒子瞬变 (SET) 混合模拟仿真, 确定其 SET 敏感部件并建立 SET 分析模型, 分析了 SET 与锁相环系统参数之间的关系. 通过增加由一个感应电阻、一对互补运算放大器和互补 SET 电流补偿晶体管组成的限流电路并利用多频带结构降低了 VCO 的增益, 显著提升了锁相环的抗 SET 性能. 仿真结果表明, CP 中发生 SET 后 VCO 控制电压 V_c 的波动峰值、锁相环的恢复时间以及输出时钟的错误脉冲数明显降低, 分别为未加固锁相环的 43.9%、49.7% 和 29.1%, 而辐射加固前后 VCO 的基本结构变化不大, 其 SET 轰击前后无明显变化.

关键词: 锁相环; 单粒子效应; 抗辐射加固; 压控振荡器; 多频带

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2013)09-0144-05

A Single-Event Hardened Phase-Locked Loop Design Based on PDSOI CMOS Process

LV Yin-xue, LIU Meng-xin, LUO Jia-jun, YE Tian-chun

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: Based on the $0.35\mu\text{m}$ PDSOI CMOS process, a normal phase-locked loop with a frequency range of 700MHz to 1.0GHz is designed. By using Sentaurus TCAD, the radiation sensitivity parts have been identified. A radiation-hardened by design phase-locked loop is proposed by presenting a current limited circuit and by using multiband VCO structure to reduce the VCO gain. The simulation results show that the wave peak of VCO control voltage V_c , the recover time, the error pulse numbers reduced to 43.9%, 49.7% and 29.1% compared with the normal one. The difference of VCO structure between the single-event-hardened PLL and normal one is not significant, so the wave peak of VCO control voltage V_c , the recover time of PLL and the error pulse numbers of output signal are not significantly changed.

Key words: PLL; single-event transient; radiation hard; VCO; multi-band

1 引言

锁相环作为高速时钟单元实现方式的一种, 在航空、航天的电子系统中均有广泛应用, 如调制、解调、频率综合、载波同步电路等^[1]. 航天飞行器运行的恶劣空间辐照环境会引发飞行器电子系统性能的退化及逻辑器件的状态翻转^[2], 这些辐照效应将使锁相环产生频率或相位偏差, 甚至导致振荡中止, 造成通信或功能中断. 锁相环作为数模混合电路系统,

对辐射效应尤为敏感, 其失效后只能依靠自身的反馈特性来最终恢复到锁定状态. 传统体硅 CMOS 器件由于寄生 p-n-p-n 结构的存在, 在辐照环境下很容易发生闩锁效应. 相比而言, SOI 器件由于隐埋氧化层的存在, 彻底消除了到衬底的电流通路, 闩锁效应的通路被切断, 并且各器件间在物理上和电学上互相隔离, 显著增强了器件和电路的抗单粒子辐照能力, 十分适合航空航天等领域的应用.

本文基于 $0.35\mu\text{m}$ PDSOI CMOS 工艺, 利用器

件及工艺模拟软件 Sentaurus TCAD,分析锁相环电路的单粒子辐照失效机理,从减小锁相环中发生 SET 后 V_c 的波动峰值、锁相环的恢复时间以及输出时钟的错误脉冲数等方面探讨锁相环的单粒子辐照加固技术,建立锁相环 SET 分析模型,给出优化设计后的锁相环电路的性能仿真。

2 单粒子辐照效应对锁相环系统的影响

单粒子事件 (SET) 产生的脉冲光电流会对锁相环系统中的结点电压或电流产生暂时扰动,使数字逻辑单元的逻辑状态发生翻转,造成整个系统失锁。依靠锁相环系统的闭环负反馈特性,最终系统会恢复到锁定状态。而锁相环时钟的退化,将在系统中引发连锁反应而导致芯片功能中断或接口通信中断。

2.1 锁相环单粒子效应分析

锁相环为典型的数模混合电路,其各部分对 SET 的响应机理各不相同,对 SET 的敏感性也各不相同。为了比较精确地获得锁相环中单粒子轰击器件时所产生的电流,同时提高仿真效率,采用混合模拟的方法,电路单元中被高能粒子轰击的器件采用器件模型表征,而其它晶体管保持不变^[3-4]。根据器件模拟的结果得到相应的 SET 电流曲线,对 PLL 电路中的器件进行轰击模拟,观察滤波器电压和输出时钟频率的变化,以便确定锁相环电路中的 SET 敏感点。

图 1 给出了基于 3.3V 0.35 μ m PDSOI 工艺设计一款锁相环电路结构。具体指标参数如表 1 所示。

由于任何对锁相环路系统造成影响的 SET 都必将导致 V_c 产生扰动,从而使锁相环系统失锁。依靠自身闭环负反馈特性,最终重新恢复到锁定电压值,因此这里选择 VCO 控制电压 V_c 的波动峰值、锁相环 SET 失效后恢复时间 t_r 和锁相环输出信号的错误周期数 N_e ,以此来反应 SET 对于系统的影响程度,从而区分电路对 SET 的敏感性。表 2 列出了锁相环路 SET 各响应参数的最大 5 个点及其所属单元位置。可以看出 CP 和 VCO 是锁相环中对

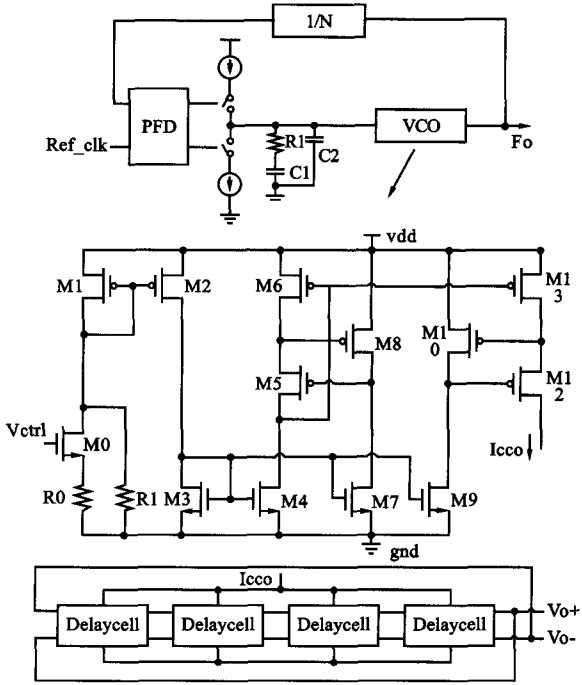


图 1 常规未加固锁相环结构

表 1 锁相环路参数

工艺	0.35 μ m PDSOI 3.3V
分频比 N	32
输入参考频率 F_{ref}	30MHz
环路带宽 ω_n	2MHz
锁相环路相位裕度 Φ	53°
VCO 控制电压范围	0.9V~2.1V
输出频率范围	700.3MHz~1.021GHz
压控振荡器增益 K_{VCO}	256.71MHz/V
电荷泵电流 I_{CP}	100 μ A
环路滤波器参数	$R_1=23.87k\Omega$ $C_1=10.08pF, C_2=1.26pF$

SET 最为敏感的部件,由此确定锁相环的 SET 加固重点主要针对 CP 和 VCO 部分。

2.2 锁相环单粒子效应 SET 分析模型

为了解锁相环环路参数与 SET 响应的关系,优化环路参数以获得最佳的系统级抗辐照特性,需要建立锁相环 SET 响应的数学模型。当锁相环发生 SET 事件时,其最终的结果都表现为在环路滤波器上产生一个幅度大、时间短的脉冲电流信号,对

表 2 锁相环路 SET 响应参数

NO.	ΔV_c (mV)	位置	t_r (ns)	位置	N_e	位置
1	581.7	CP	941.4	VCO	9.5	VCO
2	572.8	CP	925.3	VCO	9.2	VCO
3	50.8	VCO	923.2	VCO	7.2	CP
4	49.5	VCO	921.6	VCO	7.0	CP
5	48.7	VCO	872.35	VCO	6.7	VCO

其原理是将锁相环追锁过程中压控振荡器的控制电压 V_{ctrl} 与频带控制单元的电压 V_{href} 、 V_{href} 即压控振荡器的电压调节上限和下限相比较,结果通过温度码计数器输出相应的状态以控制 $Q_0 \sim Q_n$ 的开启或关闭. 频带控制单元由两个迟滞电压比较器及温度码计数器组成. 迟滞比较器分别选用 N 型和 P 型结构^[7],以减少因为电压上的抖动而造成比较器的重复判断. 其中电压比较器用来比较控制电压 V_{ctrl} 与 V_{href} 的大小. 如果控制电压 V_{ctrl} 大于 V_{href} (压控振荡器电压调节范围的上限)时,压控振荡器振荡

频率小于锁定频率,则比较器输出信号 DOWN 为高电平,此时计数器会向下计数,代表 Q_0 - Q_n 的高电平数减小,对应的 NM_0 - NM_n 开启数减少,流入压控振荡器的电流增大,振荡器频率增大,多频带压控振荡器控制单元向上做跳频动作, V_{ctrl} 被预置到 $V_{DD}/2$ 。如果电压控制电压 V_{ctrl} 小于 V_{lref} (压控振荡器电压调节范围的下限) 时,压控振荡器振荡频率大于锁定频率,则比较器输出信号 UP 为高电平,此时计数器向上计数,代表 Q_0 - Q_n 高电平数增加,对应的 NM_0 - NM_n 开启数增加,流入压控振荡器的电流减小,振荡器频率增大,多频带压控振荡器控制单元向下做跳频动作, V_{ctrl} 被预置到 $V_{DD}/2$ 。而当 V_{ctrl} 介于 V_{lref} 和 V_{href} 之间时,计数器 UP 和 DOWN 信号输出均为 0,此时锁相环路在频带内进行追锁动作。本文压控振荡器在控制电压范围 0.8V~2.2V 内有较好地线性度,频带数为 10,频带重叠约为 50%,每个频带内压控振荡器增益约为 67.3MHz/V。

3 仿真与结果分析

利用 Sentaurus TCAD 及 HSPICE 软件,对辐射加固锁相环各个模块进行 SET 混合模拟得到其电流信号,以脉冲电流源拟合此电流信号代替 SET,对 PLL 的敏感结点进行轰击,观察 VCO 控制电压 V_c 的波动峰值、锁相环 SET 失效后恢复时间 t_r 和锁相环输出信号的错误周期数 N_e 。对于单粒子效应而言,不同的能量对应其 SET 的电流也不一样,能量越高即所对应的 LET 值越大,SET 的脉冲光电流幅度也越大,宽度越宽,那么锁相环发生 SET 后所造成的频率偏移也越大,所需的恢复时间也会越长。这里选取的入射粒子的 LET 值为 $60\text{MeV} \cdot \text{cm}^2/\text{mg}$,入射角度选取垂直器件表面方向,分别轰击 PLL 中的几个最为敏感的结点,观察其 SET 评价指标。锁相环电路采用片外滤波器结构,基于 $0.35\mu\text{m}$ PDSOI 工艺实现,其版图实现如图 5 所示。

仿真结果表明,辐射加固设计锁相环电路的失锁恢复时间以及 SET 造成的 VCO 控制电压的波动幅度明显要小于未加固锁相环。从图 6(a) 可以看出锁相环中 CP 的 SET 敏感结点经粒子轰击后,常规锁相环 VCO 的控制电压波动峰值为 572.8mV,波动恢复时间为 749.3ns。而相应的对于辐射加固设计后的锁相环其 VCO 的控制电压波动峰值为 251.6mV,波动恢复时间为 372.3ns,如图 6(b) 所示。抗辐射加固设计后锁相环的电压波动幅度和恢

电荷泵加固单元 多频带 VCO

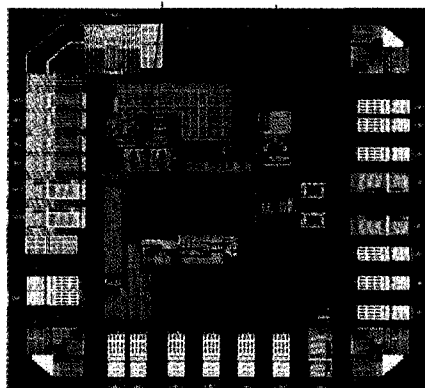
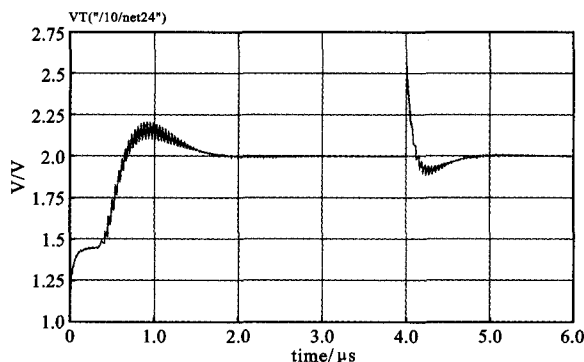
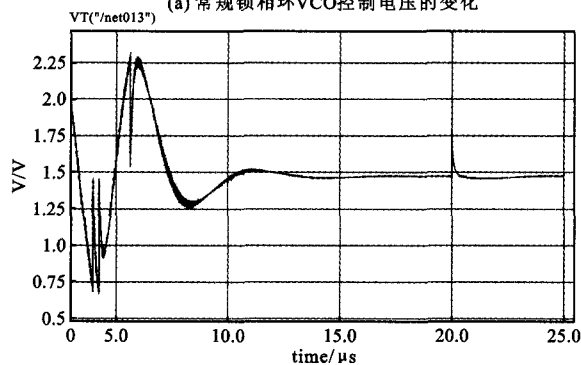


图 5 抗辐射加固锁相环

复时间分别为常规锁相环的 43.9% 和 49.7%。由此可见,电荷泵限流单元可以大幅度改进 CP 的抗 SET 性能,同时降低 SET 引发的 V_c 波动峰值。



(a) 常规锁相环 VCO 控制电压的变化

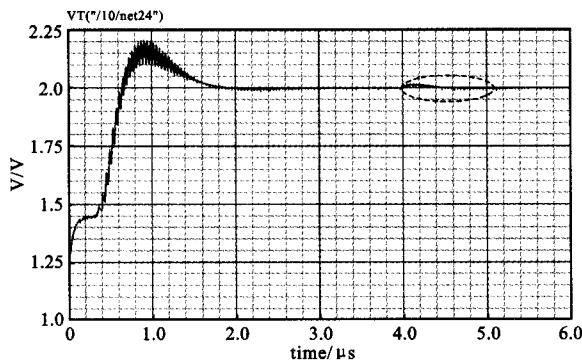


(b) 辐射加固锁相环 VCO 控制电压变化

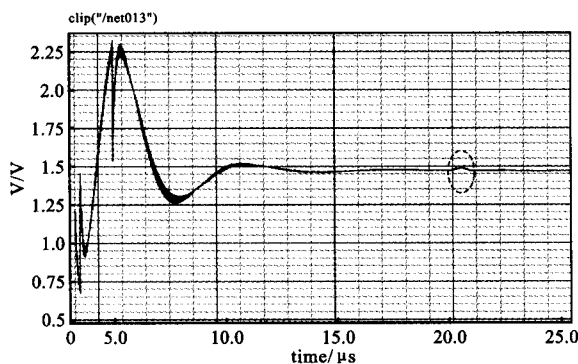
图 6 CP 中敏感结点发生 SET 后 VCO 控制电压的变化

VCO 是 PLL 等时钟产生电路的核心部件,也是其整体性能的关键。VCO 发生 SET 后,会导致输出时钟频率或相位发生变化,从而在 CP 中产生错误的充放电动作,使 V_c 偏离锁定值,这个大小与锁相环的环路参数直接相关。但是由于电荷泵的充放电电流有限,此时限流单元可能开启,所以对 V_c 的影响不大。图 7 中给出的 PLL 中 VCO 的 SET 最敏感结点发生 SET 效应后其控制电压的变化的曲线很好的说明了这一点。此时两种锁相环 VCO 的控

制电压波动均比较小,常规和辐射加固 PLL 电压波动峰值分别为 50.8mV 和 47.3mV,恢复时间为 940.2ns 和 784.3ns. 这里辐射加固 PLL 的恢复时间稍大于常规 PLL,是由于限流单元的感应电阻在衰减 SET 电流的同时也减慢了环路的响应速度,所以导致其它部件 SET 引发对应的恢复时间会有所增大,因此总体恢复时间变化不是太大. 限流单元和多频带 VCO 的极低增益使得辐射加固 PLL 中 CP 发生 SET 后,对 V_c 的波动造成输出时钟频率或相位的偏移相对于常规 PLL 非常的小,但是由于两种 VCO 的基本结构相同,因此 VCO 中发生 SET 对输出时钟造成的频率或相位的偏移几乎没有变化,如表 3 所示.



(a) 常规锁相环VCO控制电压变化曲线



(b) 辐射加固锁相环VCO控制电压变化曲线

图 7 VCO 敏感结点发生 SET 其控制电压的变化

表 3 锁相环中发生 SET 后输出信号错误脉冲数

	错误脉冲数 N_e	
	CP	VCO
常规锁相环	7.2	9.5
辐射加固 PLL	2.1	9.4

4 结束语

本文基于 0.35μm PDSOI 工艺设计了一款常规 PLL 电路,并借助于 Sentaurus TCAD 工具对其进行

了 SET 混合模拟仿真,确定了 PLL 电路中的 SET 最敏感单元部分.在此基础上提出了相应的加固措施.仿真结果表明,辐射加固设计显著提升了锁相环的抗 SET 性能,PLL 在 CP 中发生 SET 效应后,未加固 PLL 电路中 SET 所引起的 VCO 控制电压 V_c 的波动峰值,以及 PLL 的失锁恢复时间分别为 572.8mV 和 749.3ns,而辐射加固后相应的 VCO 控制电压 V_c 的波动峰值,以及 PLL 的失锁恢复时间为 251.6mV 和 372.3ns,仅为未加固的 43.9% 和 49.7%,而且 SET 所导致的输出时钟的错位脉冲数也从未加固的 7.2 降为 2.1.加固前后锁相环 VCO 部分结构基本相同,因此其发生 SET 效应后, V_c 的波动峰值以及 PLL 的失锁恢复时间相差不大.

参考文献:

- [1] 池保勇,余志平,石秉学. CMOS 射频集成电路分析与设计[M]. 北京:清华大学出版社,2006.
- [2] 赵洪辰. SOI CMOS 抗辐照技术研究[D]. 北京:中国科学院微电子研究所,2004.
- [3] G B Abadir, W Fikry, H F Ragai, et al. A device simulation and model verification of single event transients in n+ - p junctions[J]. IEEE Trans Nucl Sci, 2005, 52 (5): 1518-1523.
- [4] Loveless T D, Olson B D, Bhuva B L. Analysis of single - event transients in interger-n frequency dividers and hardness assurance implication for phase-locked loops [J]. IEEE Trans Nucl Sci, 2009, 56(6): 34-89.
- [5] Zhao Zhenyu, Zhang Minxuan, Chen Shuming, et al. A radiation-hardened-by-design technique for improving single-event transient tolerance of charge pumps in PLLs[J]. Journal of Semiconductors, 2009, 30(12): 125-129.
- [6] Han Benguang, Guo Zhongjie, Wu Longsheng, et al. A single-event-hardened phase-locked loop using the radiation-hardened-by-design technique [J]. Journal of Semiconductors, 2012, 33(10): 105-107.
- [7] Paletmo S M de Gyve J P. A multi-band single-loop PLL frequency synthesizer with dynamically-controlled switched tuning VCO [C] // Proceedings of the 43rd IEEE Midwest Symposium on Circuits and Systems Lansing, USA: IEEE, 2000: 818-821.

作者简介:

吕荫学 男, (1982-), 博士. 研究方向为 SOI/CMOS 高性能抗辐照集成电路设计.